

(54) CONTACT TYPE IMAGE SENSOR

(11) 2-102573 (A) (43) 16.4.1990 (19) JP

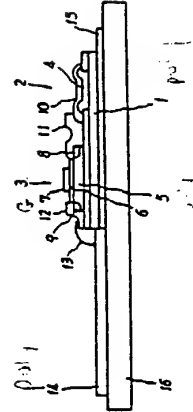
(21) Appl. No. 63-254774 (22) 12.10.1988

(71) TDK CORP (72) MICHIO ARAI(2)

(51) Int. Cl.³. H01L27/146, H01L31/10

PURPOSE: To improve an image sensor in read speed and to reduce it in cost by a method wherein a photodiode and a polycrystalline silicon thin film transistor and connected to each other through a metal wiring pattern, and the polycrystalline silicon thin film transistor and multilayer interconnection are connected through bonding wires.

CONSTITUTION: A photovoltaic type photodiode 2 and a polycrystalline silicon thin transistor 3 are connected to each other through a metal wiring pattern, and the polycrystalline silicon thin transistor 3 and a multilayer interconnection substrate 14 provided with multilayer interconnection which is used for connecting the transistor 3 with a signal read circuit are connected to each other through bonding wires 13. A polycrystalline silicon substrate is used as the substrate 14, and a square polycrystalline silicon substrate used for the manufacture of a solar cell can be utilized for the substrate concerned, so that the substrate concerned can be not only obtained at a low cost but also improved in yield.



1: polycrystalline silicon substrate, 5: polycrystalline silicon layer, 16: glass base

257/291

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-102573

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月16日

H 01 L 27/146
31/10

7377-5F
7733-5F

H 01 L 27/14
31/10

C
A

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 密着形イメージセンサ

⑯ 特 願 昭63-254774

⑰ 出 願 昭63(1988)10月12日

⑱ 発 明 者 荒 井 三 千 男 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社内

⑲ 発 明 者 東 海 林 法 宣 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社内

⑳ 発 明 者 白 石 一 雅 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社内

㉑ 出 願 人 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号

㉒ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 密着形イメージセンサ

2. 特許請求の範囲

1. 多結晶シリコン基板と、この多結晶シリコン基板を能動領域とするように形成された光起電力形のフォトダイオードアレイと、前記多結晶シリコン基板上に形成された多結晶シリコン層を能動領域とし、前記フォトダイオードアレイの各フォトダイオードと一対一に対応するように形成された多結晶シリコン薄膜トランジスタアレイと、この多結晶シリコン薄膜トランジスタアレイの各トランジスタを信号読取回路に接続するための多層配線を施した多層配線基板と、前記多結晶シリコン基板および多層配線基板を支持する共通の基体とを具え、前記フォトダイオードと多結晶シリコン薄膜トランジスタとの間を金属配線パターンで接続するとともに多結晶シリコン薄膜トランジスタと多層配線との間をボンディングワイヤで接続したことを特徴とする密

着形イメージセンサ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はイメージセンサ、特にファクシミリ、インテリジェント複写機等の像読取装置に用いられる密着形のイメージセンサに関するものである。

(従来の技術)

上述したような像読取装置においては小形化が図れるようになったが、従来のように原稿の像を縮小光学系を介して縮小してCCD等の光電変換素子に投影する構成では光路長を大きくとる必要があるため小形化には限界があった。そこで原稿を縮小光学系を介さずに光電変換素子に直接またはセルフォックレンズのような等倍光学系を介して接近して配置する所謂密着形イメージセンサが開発され実用化されるようになってきた。

上述した密着形イメージセンサの光電変換素子としては光起電力形のものと光導電形のものとがある。光導電形は低コストであるが読取りスピードが遅いのに対し光起電力形は読取りスピードは

速いがコスト高となる。光起電力形のもののコストが高くなるのは光電変換素子の出力電流が数ナノアンペアと小さいため信号読取りのための駆動回路が複雑となるためである。この駆動方式としては種々のものが提案されており、1987年12月に発行された「日経マイクロデバイス」の第131～137頁に記載されている。すなわち、駆動用ICを用いる方式、アモルファスシリコン薄膜トランジスタを用いる方式、多結晶シリコン薄膜トランジスタを用いる方式、CCDのマルチチャップを用いる方式などが提案されている。

(発明が解決しようとする課題)

上述した駆動用ICを用いる方式では1つの光電変換素子すなわち1つのドットに対して1つの信号読取回路を設ける1対1形となっているため、多数のICが必要となるため、高価となる。また、ICを光電変換素子、すなわちセンサ部とは別の基板に取付けると端子数が多くなるとともに大形となるので、ICをセンサ部と同じ基板上に設けるようにしているので基板のコストが高くなる欠点がある。

ある。特に高価なアルミナや石英を基板として用いる場合にはコストはさらに高くなってしまふ。そのためICの寸法をできるだけ小さくしているが、それにも限界がある。

アモルファスシリコン薄膜トランジスタを用いる方式は、しきい値電圧の安定性がなく、薄膜トランジスタの応答が遅いため、センサ部とICとの間に容量成分を設ける必要があり、製造が面倒となり、コスト高となる。

多結晶シリコン薄膜トランジスタを用いる方式では、多結晶シリコン薄膜トランジスタは粒径を大きくしないと光電流の劣化があるため高温プロセスを用いなければならない。そのため高価な石英を基板として用いる必要があり、コスト高となる。さらに、不純物のドーピングに設備費用の嵩むイオン注入を採用しなければならず、さらにコスト高となる欠点がある。

CCDマルチチャップを用いる方式では、単結晶シリコン基板を用いるため高価となる。また、通常のIC製造に用いられている単結晶シリコン基板は円

形であるから、これを転用しようとするとき収率が悪くなる欠点もある。

本発明の目的は従来の欠点を除去し、応答速度の速い光起電力形の光電変換素子を用い、しかもコストを大幅に低減することができる密着形イメージセンサを提供しようとするものである。

(課題を解決するための手段および作用)

本発明による密着形イメージセンサは、多結晶シリコン基板と、この多結晶シリコン基板を能動領域とするように形成された光起電力形のフォトダイオードアレイと、前記多結晶シリコン基板上に形成された多結晶シリコン層を能動領域とし、前記フォトダイオードアレイの各フォトダイオードと一対一に対応するように形成された多結晶シリコン薄膜トランジスタアレイと、この多結晶シリコン薄膜トランジスタアレイの各トランジスタを信号読取回路に接続するための多層配線を施した多層配線基板と、前記多結晶シリコン基板および多層配線基板を支持する共通の基体とを具え、前記フォトダイオードと多結晶シリコン薄膜トラン

ジスタとの間を金属配線パターンで接続するとともに多結晶シリコン薄膜トランジスタと多層配線との間をボンディングワイヤで接続したことを特徴とするものである。

上述した本発明の密着形イメージセンサにおいては、基板として多結晶シリコン基板を用いるが、このような基板は太陽電池の製造に用いられている角形が多結晶シリコン基板を利用できるので安価に入手することができるとともに収率も向上することになる。また、多層配線を用いるので駆動回路の構成は簡単となる。さらに基体としては高価な石英やアルミナ基板を用いる必要がなく、安価なガラス基体を用いることができるのでさらにコストを下げることができる。

(実施例)

第1図は本発明による密着形イメージセンサの一実施例のセンサ部の構成を示す断面図である。本例では、太陽電池に用いられている10cm角の多結晶シリコン基板1を用いる。この多結晶シリコン基板の結晶粒径は、1.0～2.0mm、P型で抵抗

率は $1\Omega\text{-cm}$ である。本発明ではこの多結晶シリコン基板1の上にセンサ部を構成するショットキフォトダイオード2および多結晶シリコン薄膜トランジスタ3を形成する。ショットキフォトダイオード2は多結晶シリコン基板1を能動領域とし、その上に形成したM。金属膜4を具えている。また、多結晶シリコン薄膜トランジスタ3は、N型の多結晶シリコン層5、その上面に形成したゲート酸化膜6、その上に形成したゲート電極7、それぞれP型の拡散層より成るソース8およびドレイン9を具えている。ショットキフォトダイオード2のM。金属膜4は透明導電層であるITO膜10およびソース電極配線層11を経て薄膜トランジスタ3のソース8に接続されている。またドレイン9は金属配線層12およびボンディングワイヤ13を経て多層配線基板14のボンディングパッドに接続する。多結晶シリコン基板1は、ショットキフォトダイオードの裏面電極15を経てガラス基板16に支持されている。このガラス基板16によって多層配線基板14も支持している。

第2図は上述したショットキフォトダイオード2および多結晶シリコン薄膜トランジスタ3を製造する順次の工程を示すものである。第2図Aに示すように、抵抗率が $1\Omega\text{-cm}$ のP型多結晶シリコン基板21の上に減圧CVD法により厚さ2000Å程度の SiO_2 膜を一様に形成した後、パターニングして SiO_2 膜22および23を形成した状態を示す。

次に、エビタキシャル炉を用いて SiO_2 膜21の上に厚さ2000ÅのN型多結晶シリコン膜24を形成した状態を第2図Bに示す。

さらに、フォトリソ技術を用いて多結晶シリコン膜24の上にマスクを形成した後P型不純物を拡散して多結晶シリコン膜にソース25およびドレイン26を形成し、さらに厚さ約500Åのゲート酸化膜27およびA。のゲート電極28を形成した様子を第2図Cに示す。ソースおよびドレイン25および26はチャンネル長が約 $20\mu\text{m}$ となるように形成する。

次に、第2図Dに示すように全体の上の SiO_2 膜29を形成する。さらに、第2図Eに示すようにシ

ョットキフォトダイオードを形成すべき部分の SiO_2 膜29を選択的に除去し、その開口部に、約500Åの厚さのM。金属膜30を形成し、その上に $10\Omega/\square$ のITO膜31を形成する。さらにソース25およびドレイン26の上方の SiO_2 膜29を選択的に除去し、A。のソースおよびドレイン電極膜32および33を形成する。この場合、ソース電極膜32はITO膜31と部分的に重なるように形成し、ショットキフォトダイオードのM。金属膜30をソース25に接続するようにする。

さらに、第2図Fに示すように全体の上に $1.5\mu\text{m}$ 程度の厚い SiO_2 保護膜34を形成し、多結晶シリコン基板21の背面に背面電極35を形成する。第1図に示すように上述したようにして形成した多結晶シリコン基板チップをガラス基板の上に装着する。

第3図は上述したチップを用いて構成した密着形イメージセンサの全体の構成を示す回路図である。本例ではB4サンスの原稿を読み取ることができるものであり、総素子数は2048画素であり、素

子密度は 1mm 当り8画素となる。64素子を1グループとし、1つのチップに2グループずつ形成するので全部で16個のチップがガラス基板上に整列されている。各グループは64個のショットキフォトダイオード $\text{PD}_1 \sim \text{PD}_{64}$ と薄膜トランジスタ $\text{TFT}_1 \sim \text{TFT}_{64}$ を具えている。ショットキフォトダイオード $\text{PD}_1 \sim \text{PD}_{64}$ の陰極は64素子ずつ共通に接続され、合計32本のライン $L_1 \sim L_{32}$ およびスイッチ $S_1 \sim S_{32}$ を経て電源Eの正端子に接続されている。

また、すべての薄膜トランジスタ TFT のドレインは共通に増幅器AMPの入力端子に接続されている。さらに各グループの対応する TFT のゲートは駆動電圧発生回路Dの出力端子 $0_1 \sim 0_{32}$ に共通に接続されている。例えば第1グループの第1の TFT_1 のゲート、第2グループの第1の TFT_1 のゲート…第32グループの第1の TFT_1 のゲートは出力端子 0_1 に共通に接続されている。このようなマトリックス配線を施すことにより全体の構成を簡潔とすることができる。したがって、例えばスイッチ S_1 を閉じ、駆動電圧発生回路Dの第1出力端子 0_1

に駆動パルスが出力されると、第1グループの第1の薄膜トランジスタTFT₁のみが導通し、このTFT₁に接続されたショットキフォトダイオードPD₁に入射する光の強度に応じた電圧が増幅器AMPに入力され、次に出力端子0₁に駆動パルスが現われると第1グループの第2の薄膜トランジスタTFT₂が導通し、これに接続された第2のショットキフォトダイオードPD₂に入射する光の強度に応じた電圧が増幅器AMPに入力されることになる。このようにして順次のグループの順次のショットキフォトダイオードから光電変換された電圧が増幅器AMPに入力されることになる。

第4図は本発明の密着形イメージセンサの構成を示す断面図である。センサ部および駆動部を形成した多結晶シリコンチップ51はガラス基板52に装着され、このガラス基板52には多層配線基板53も装着され、この多層配線基板には第3図に示した駆動電圧発生回路D、増幅器AMP、スイッチS₁～S₂などを構成するIC54がハンダ付けされている。ガラス基板52は一方のハウジング半部55に取

付けてある。他方のハウジング半部56には倒立等倍のロッドレンズアレイ57が取付けられているとともに照明光を放射するLEDアレイ58が取付けられている。ハウジング半部56の開口部はガラス板59が取付けられており、このガラス板と送りローラ60との間で原稿61が矢印で示すように搬送されるように構成されている。このように本発明によればきわめてコンパクトな密着形イメージセンサを得ることができる。

上述したように本発明においては、受光部は多結晶シリコンより成るフォトダイオードを具えているが、多結晶シリコンでは結晶粒の境界層は約数十 μm に過ぎず、したがって光起電力の低下を招くことが考えられるが、ズーク理論(Zook Theory)によれば、第5図に示すように光の波長が短くなれば劣化の割合は小さくなり、可視光を使用する限りは光起電力の低下は問題でなく、素子間のバラツキは $\pm 10\%$ 以内である。

上述した本発明の実施例の諸元を以下の表にまとめて示す。

表

素子数	2048
素子密度	8画素/mm
光源	$\lambda=570\text{nm}$, 半値幅30nm
MTF	48%
r値	0.96
S/N	10:1以上(2値)
素子間バラツキ	$\pm 10\%$ 以内
読取速度	2 m sec

(発明の効果)

上述した本発明の密着形イメージセンサによれば、光電変換素子として光起電力形のものを用いるため読取速度が速くなる。また、太陽電池の製造に使用されている角形が多結晶シリコン基板を用いることができ、これは安価に入手できるのでコストを下げることができる。また、基体として高価な石英基体を用いる必要はなく、ガラス基板のように安価なものを使用することができるので、この点においてもコストを下げることができる。

さらに、多層配線基板を用いているので構成は簡単となり、コンパクトな密着形イメージセンサを提供することができる。

4. 図面の簡単な説明

第1図は本発明による密着形イメージセンサの受光部および駆動部の構成を示す断面図、

第2図A～Fは同じくその順次の製造工程を示す断面図、

第3図は本発明によるイメージセンサの全体の回路構成を示す回路図、

第4図は同じくその配置を示す断面図、

第5図は粒界からの距離と光電流との関係を示すグラフである。

1…多結晶シリコン基板

2…受光部

3…駆動部

4…Mo金属層

5…多結晶シリコン層

6…ゲート酸化膜

7…ゲート電極

8…ソース

9…ドレイン

10…ITD膜

11…ソース電極膜

12…ドレイン電極膜

13…ボンディングワイヤ

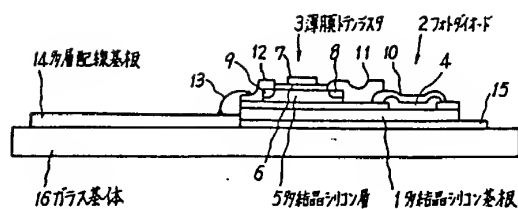
14...多層配線基板 15...背面電極
16...ガラス基板

特許出願人 ティーディーケー株式会社

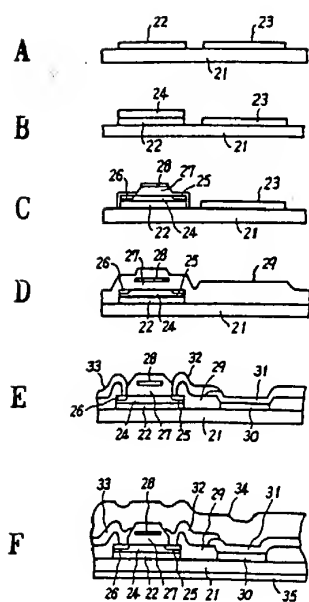
代理人弁理士 杉 村 曉 秀

代理人弁理士 杉 村 興 作

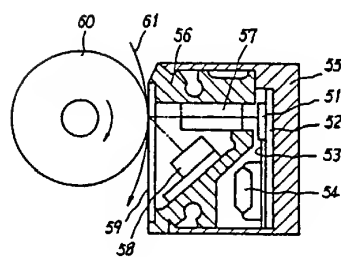
第 1 図



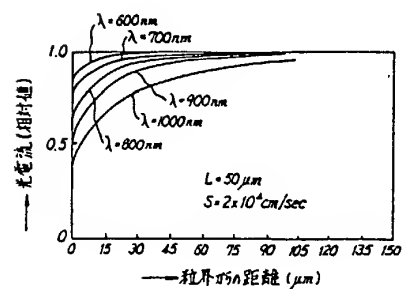
第 2 図



第 4 図



第 5 図



第3図

